Автономная некоммерческая профессиональная образовательная организация

**«УРАЛЬСКИЙ ПРОМЫШЛЕННО-ЭКОНОМИЧЕСКИЙ ТЕХНИКУМ»**

**ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА**

Учебно-методическое пособие по выполнению лабораторных работ для студентов по специальности 13.02.11 «Техническая эксплуатация и обслуживание электрического и электромеханического оборудования»

2014

|  |  |
| --- | --- |
|  |  |
| ОДОБРЕНО  цикловой комиссией  электроэнергетики  Председатель комиссии  \_\_\_\_\_\_\_\_\_\_\_\_\_\_Е.В. Данилова  25 августа 2014г. | *УТВЕРЖДАЮ*  Заместитель директора по  учебной работе АН ПОО «Уральский промышленно-экономический техникум»  \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Н.Б. Чмель  «28» августа 2014 г. |

Организация-разработчик: АН ПОО «Уральский промышленно-экономический техникум»

Составитель: Дмитриенко Е.В., преподаватель АН ПОО “Уральский промышленно-экономический техникум»

**Лабораторная работа№1**

**Тема: Исследование логических элементов**

Методические указания

Лабораторный макет позволяет исследовать статические ха­рактеристики и параметры, а также параметры быстродействия ло­гических элементов ТТЛ (транзисторно-транзисторная логика) и ЭСЛ (эмиттерно-связанная логика) цифровых микросхем. Он включа­ет в себя источник входного напряжения, формирователь импульсов и исследуемые микросхемы. Напряжение источника входного напря­жения определяется положением переключателей (как сумма их по­казаний) с учетом множителя . Полярность выходного напряжения устанавливается тумблером . Уровни логического "О" и "1" для каждого типа исследуемых микросхем выведены на соот­ветствующие гнезда. Формирователь импульсов "ФИ" формирует короткие им­пульсы положительной полярности, подаваемые на вход исследуемой микросхемы для определения параметров быстродействия.

Характеристики и параметры базовых логических (БЛЭ) эле­ментов делятся на статические и динамические.Статические харак­теристики определяют связь постоянных токов и напряжений, дей­ствующих на выводах ЛЭ. Основными статическими характеристиками ЛЭ являются: входная, выходная и передаточная характеристики.

Входная характеристика - зависимость входного тока от входного напряжения Iвх=f(Uвх) для одного из входов при задан­ном количестве нагрузок на выходе. На другие входы подаются уровни логического нуля "О" либо логической единицы "1" в зави­симости от логической функции выполняемой ЛЭ.

Выходная характеристика - зависимость выходного тока от выходного напряжения Iвых=f(Uвых). Характеристика снимается для двух состояний элемента: на выходе элемента низкий уровень напряжения U0вых и на выходе высокий уровень U1вых.

|  |
| --- |
|  |
| Рис.7.1. Основные параметры логических элементов |

Передаточная характеристика - это зависимость выходного напряжения от входного, подаваемого на один из входов Uвых=f(Uвх). Характеристика определяется для заданного коли­чества нагрузок на выходе элемента при подаче напряжения на один из входов, на остальные входы подают уровни "О" либо "1".

К основным статическим параметрам относятся напря­жение логического нуля U0 и напряжение логической единицы U1 по входу и по выходу (рис.7.1). Под этими напряжени­ями принято понимать соответ­ственно максимальное и мини­мальное значение, при которых схема находится в заданных состояниях. Запас помехо­устойчивости характе­ризуется разностью между значениями выходного и входного сигналов данного уровня:

U1пом = U1вых - U1вх; U0пом = U0вых - U0вх

Динамические параметры и характеристики определяют быст­родействие логического элемента. Параметры быстродействия опре­деляют по временным диаграммам. На рис.7.1 представлены вре­менные диаграммы для инвертирующего элемента. Важнейшим пара­метром быстродействия является время задержки распространения сигнала, определяемое как промежуток времени между прохождением уровня, соответствующего половине уровня логической единицы, входным и выходным сигналами. Различают время задержки распро­странения при переходе от логической единицы к нулю t10зд.р (промежуток между точками 2 и 5 на рис.7.1), время задержки распространения при переходе от уровня логического нуля к еди­нице t01зд.р (промежуток между точками 9 и 11 на рис.7.1). Обобщающим является среднее время распространения

tзд.р.ср = (t10зд.р + t01зд.р)/2

Важное значение имеют также входные токи логического нуля I0вх и логической единицы I1вых, а также потребляемая мощность Pпот или токи потребления Iпот. К числу основных параметров относят также коэффициент объединения по входу Kоб, указывающий число входов элемента, и коэффициент разветвления Kраз, который показывает, сколько элементов такого же типа можно подсоединить к выходу.

Параметры элементов лабораторного макета

Тип элемента 155 (ТТЛ) 500 (ЭСЛ)

I0вх мА -1,6 0,0005

U0вх В 0,8 -1,83

I1вх мА 0,04 0,265

U1вх В 2 -0,86

U0вых В 0,4 -1,83 - -1,63

U1вых В 2,4 -0,90 - -0,72

tзд.р.ср нс 18 2,9

Iпот.ср мА 15 25

R1 = 360 Ом R2 = 590 Ом R3 = 1 кОм

C1 = 50 пФ C2 = 200 пФ

Рабочее задание

1. Исследовать базовый логический элемент транзисторно-транзисторной логики (ТТЛ). Составить таблицу истинности эле­мента. Уровни "О" и "1", используемые при исследовании элемен­та, выведены на гнезда лабораторной панели.

1.1. Снять входную характеристику по схеме, приведенной на рис.7.2,а.

|  |  |
| --- | --- |
| a | б |
| Рис.7.2. Схема для измерения входных характеристик элементов ТТЛ (а) и ЭСЛ (б). | |

Полярность подключения миллиамперметра зависит от направ­ления входного тока, втекающего или вытекающего из микросхемы.

1.2. Снять выходную характеристику элемента ТТЛ по схеме, приведенной на рис.7.3,а.

|  |  |
| --- | --- |
| a | б |
|  | |
| Рис.7.3. Схема для измерения выходных характеристик эле­ментов ТТЛ (а) и ЭСЛ (б) | |

Характеристика снимается при отключенной внешней нагрузке для двух состояний элемента - выключено U1вых и включено U0вых (состояние элемента определяют уровни напряжений, подаваемые на X1 и X2, в соответствии с таблицей истинности). В состоянии "элемент выключен", выходной ток вытекает из схемы, а в состо­янии "элемент включен" - ток втекает в микросхему.

1.3. Снять передаточную характеристику Uвых=f(Uвх) по схеме рис.7.4,а.

|  |  |
| --- | --- |
| a | б |
| Рис.7.4. Схема для измерения передаточных характеристик эле­ментов ТТЛ (а) и ЭСЛ (б) | |

Значение входного напряжения определяется по положению двух переключателей, дискретно регулирующих уровень напряжения на входе.

1.4. Определить параметры быстродействия (t10зд.р и t01зд.р ) по схеме, приведенной на рис.7.5,а.

|  |
| --- |
|  |
| Рис.7.5. Схема для измерения временных параметров логических элементов |

Параметры быстродействия определяются следующим образом. На вход исследуемой микросхемы подается прямоугольный импульс, снимаемый с выхода формирователя импульсов "ФИ". Формирователь импульсов запускается от внутреннего генератора (тумблер "за­пуск" в положении "внутр.").С помощью осциллографа наблюдают и зарисовывают форму сигнала на входе и на выходе исследуемого логического элемента. Сигналы подаются на вход "Y" осциллографа через делитель. Можно использовать делитель, расположенный на лабораторном макете. Выходной сигнал подается на вход делителя, а вход осциллографа подключается к его выходу. Входной и выходной сигналы необходимо рисовать на графиках, масштабная сетка которых совпадает с сеткой, нанесенной на экране осциллографа. Осциллограф работает в ждущем режиме, внешний синхронизирующий сигнал снимается со входа формирователя импульсов и подается на вход "X" осциллографа. Период развертки на осциллографе устанавливается минимально возможным.

Параметры быстродействия определить для: 1)отсутствия нагрузки на выходе элемента; 2)Rн = 360 Ом; 3) Rн = 1 кОм; 4)Cн = 50 пФ; 5) Cн = 200 пФ.

2. Исследовать базовый логический элемент эмиттерно-связанной логики (ЭСЛ). Составить таблицу истинности элемента. Уровни "О" и "1", используемые при исследовании элемента, выведены на гнезда лабораторной панели.

2.1. Снять входную характеристику по схеме, приведенной на рис.7.2,б.

Полярность подключения миллиамперметра зависит от направ­ления входного тока, втекающего или вытекающего из микросхемы.

2.2. Снять выходную характеристику элемента ЭСЛ по схеме, приведенной на рис.7.3,б. Характеристика снимается при отключенной внешней нагрузке для двух состояний элемента - выключено U1вых и включено U0вых (состояние элемента определяют уровни напряжений, подаваемые на X1 и X2, в соответствии с таблицей истинности). Зависимость Iвых=f(Uвых) снимается по обоим выходам схемы (инвертирующему и неинвертирующему)

2.3. Снять передаточную характеристику Uвых=f(Uвх) по схеме рис.7.4,б. Передаточная характеристика также снимается по инвертирующему и неинвертирующему входам.

Краткие теоретические сведения

Перед выполнением и защитой лабораторной работы необхо­димо изучить основные параметры и характеристики логических элементов, а также принцип действия логических элементов на биполярных транзисторах.

Логическими элементами называются функциональные устрой­ства, с помощью которых реализуются элементарные логические функции. Основой логического устройства является сложный элек­тронный ключ. Этот ключ носит название базового логического элемента. В данной работе рассматриваются элементы, выполнен­ные по биполярной технологии - ТТЛ и ЭСЛ.

Транзисторно-транзисторная логика наиболее распространена в современных вычислительных устройствах благодаря высокому быстродействию, высокой помехоустойчивости, умеренному энерго­потреблению , хорошей нагрузочной способности и малой стоимо­сти. Выходные и входные напряжения этих серий имеют так называ­емые стандартные уровни ТТЛ (U1=2,4·4,5 В, U0<0,4В) и одинако­вые напряжения питания 5В. В этой серии выпускаются универ­сальные (К133,К155), повышенного быстродействия (К130, К131), быстродействующие с транзистором Шотки -ТТЛШ (К530, К531, К1531) и другие микросхемы.

|  |
| --- |
|  |
| Рис.7.6. Схема базового логического элемента транзисторно-транзисторной логики. |

Схема базового логического элемента ТТЛ серии К155 при­ведена на рис.7.6. Базовый элемент состоит из входного каскада на многоэмиттерном транзисторе VT1, выполняющим функцию "И", каскада управления выходными ключами на транзисторе VT2 и вы­ходных ключей VT3, VT4, выполняющих функцию усиления и инверти­рования. Часто второй и третий каскад объединяют вместе и называют сложным инвертором. При подаче на входы, или хотя бы на один из них, низкого уровня напряжения соответствующие эмиттерные переходы смещаются в прямом направлении. На любом из этих переходов падает О,7 В, чего явно недостаточно для отпирания трех последовательно включенных p-n переходов: кол­лекторный VT1, эмиттерные VT2 и VT4 Ток базы транзистора VT2, а следовательно, и ток базы транзистора VT4 равен нулю. Ток базы транзистора VT3 определяется резистором R2 и он открыт. При этом на выходе логического элемента присутствует высокий уровень напряжения. При подаче на все входы высокого уровня напряжения напряжения эмиттерные переходы VT1 смещены в обрат­ном направлении. Напряжение питания открывает три перечисленных выше последовательных p-n перехода. Наличие коллекторного тока уменьшает ток базы транзистора VT3 до нуля. На выходе логичес­кого элемента действует напряжение открытого до режима насыще­ния транзистора VT4 - низкий уровень. В соответствии с приве­денным описанием базовый логический элемент ТТЛ выполняет ло­гическую функцию "И-НЕ". В современных логических элементах для защиты от выбросов напряжения на входе обычно ставятся диоды. Диод VD4 предназначен для надежного запирания транзи­стора VT3, так как падение напряжения на нем повышает потен­циал эмиттера и напряжение база-эмиттер снижается.

В современных сериях широкое применение находят транзи­сторы Шотки. Как известно из принципа работы ключей на биполяр­ных транзисторах, для предотвращения перехода транзистора в ре­жим насыщения в них параллельно коллекторному переходу вклю­чается диод Шотки. Это, естественно, существенно повышает быс­тродействие.

Для расширения функциональных возможностей логических элементов у некоторых типов микросхем в серии на выходе уста­новлен транзистор, коллекторная цепь которого остается свобод­ной. Это логические элементы с открытым коллектором. При ис­пользовании в схеме в коллекторную цепь включается резистор, светодиод или любая другая нагрузка.

Еще одним своеобразным видом микросхем в ТТЛ сериях яв­ляются микросхемы с тремя устойчивыми состояниями. Третье со­стояние возникает при поступлении управляющего сигнала, когда выходные транзисторы оказываются запертыми, микросхема практи­чески полностью отключена от нагрузки. Такое состояние называют высокоимпедансным.

Логические элементы эмиттерно-связанной логики имеют на­ибольшее быстродействие из всех широко распространенных логи­ческих элементов, выполненных из кремния по биполярной техноло­гии. Для логических элементов этой группы характерны большая нагрузочная способность, независимость тока потребления от частоты переключения, небольшая энергия переключения. Высокое быстродействие ЭСЛ обеспечивается схемотехническим построением и выбором соответствующих режимов работы транзисторов. Благо­даря глубокой отрицательной обратной связи на общем резисторе в цепи эмиттеров транзисторы не переходят в режим насыщения, а находятся в активном режиме. К недостаткам этой серии следует отнести большую потребляемую мощность и низкую помехоустойчи­вость. На основе ЭСЛ выпускаются микросхемы серий К5ОО и К15ОО, а также микропроцессорные БИС серии К18ОО. Эти серии микросхем, несколько отличаясь друг от друга схемотехническим построением, совместимы по уровням входных и выходных напряжений (U1=-0,9 В, U0=-1,7 В). Для повышения помехозащищенности коллекторы транзи­сторов заземляются, то есть на эмиттеры подается отрицательное напряжение питания - 5,2\_В. В результате все логические уровни ЭСЛ находятся в отрицательной области и они непосредственно не совместимы с другими логическими схемами, что является недо­статком этой серии. Также для повышения помехозащищенности раз­деляют шину земли эмиттерных повторителей и остальной схемы.

|  |
| --- |
|  |
| Рис.7.7. Схема базового логического элемента эмиттерно-связанной логики |

Схема базового элемента ЭСЛ серии К5ОО приведена на рис.7.7. Основой элемента служит входной дифференциальный каскад, выполненный на параллельно соединенных транзисторах VT1 и VT2, (левое плечо) и VT3 (правое плечо). В цифровой технике такой каскад получил название ключа на переключателе тока - токовый переключатель. Нагрузками каскада служат резисторы R3 и R5, в эмиттерную цепь включен токозадающий резистор R4. На­пряжение на выходы Y1 и Y2 ЛЭ подается с выходов токового пе­реключателя через эмиттерные повторители на транзисторах VT5 и VT6. В схему базового логического элемента ЭСЛ входит также источник опорного напряжения на транзисторе VT4, диодах VD1 и VD2 и резисторах R6-R8. Значение опорного напряжения относи­тельно общей точки составляет - 1,3 В. Это напряжение подается на базу транзистора VTЗ. Использование диодов в схеме позволяет термостабилизировать рабочую точку транзистора, так как с рос­том температуры одновременно с увеличением коллекторного тока транзистора VTЗ уменьшается падение напряжения на диодах и кол­лекторный ток возвращается к исходному значению.

Если на оба входа ЛЭ подан низкий уровень напряжения, то есть -1,7 В, то транзисторы VT1 и VT2 закрыты, а транзистор VTЗ открыт. При этом напряжение на коллекторах транзисторов VT1 и VT2 близко к напряжению источника питания. Это высокое напря­жение передается на выход Y2 через эмиттерный повторитель на транзисторе VT5. Причем его уровень представляет собой нормали­зованный высокий уровень этой серии, то есть -0,9 В. При этом через транзистор VT3 протекает ток коллектора, задаваемый рези­стором R4 и напряжение на коллекторе этого транзистора опреде­ляется падением напряжения на резисторе R2. Этот низкий уровень напряжения передается на выход Y1 через эмиттерный повторитель на транзисторе VT6 и составляет, как и ожидается -1,7 В. Если на один из входов либо на два входа одновременно подано напря­жение большее, чем опорное напряжение на базе транзистора VT3, а именно -1,7 В, то левое плечо токового ключа начинает пропус­кать ток и транзистор VTЗ закрывается. В результате теперь уже на выходе Y1 появится высокий уровень. Соответственно транзи­сторы VT1 и VT2 теперь будут открыты, а на выходе Y2 появится низкий уровень. Таким образом, базовый элемент ЭСЛ выполняет функцию "ИЛИ-НЕ" по выходу Y2 (инверти­рующий выход) и функцию "ИЛИ" по выходу Y1 (неинвертирующий выход).

Поскольку рассматриваемый элемент выполняет логическую функцию "ИЛИ", то в случае использования при работе части входов на неиспользуемые входы необходимо подавать напряжение логического "О" - низкий уровень. В базовом логическом элементе это достигается включением на входе резисторов R1 и R2. Их со­противление достаточно велико (100 кОм), так что они практичес­ки не влияют на статические характеристики элемента.

В большинстве случаев в качестве эмиттерного сопротивле­ния выходного эмиттерного повторителя служит сопротивление на­грузки или входное сопротивление следующего каскада. При этом, кроме улучшения коэффициента передачи эмиттерного повторителя, появляется возможность реализации операции монтажного ИЛИ . Это осуществляется непосредственным соединением выходов двух микро­схем, то есть при появлении сигнала на выходе одной из микро­схем тот же потенциал поддерживается и на их соединении. В ре­зультате при прежнем количестве микросхем удается реализовать большее число функций.

Чтобы еще более расширить функциональные возможности элемента ЭСЛ, применяется двух- или трехуровневое переключение тока. Для этого на входе ставится эмиттерный повторитель, по­зволяющий сдвинуть уровнь входного сигнала до значений, необхо­димых для переключения логического элемента. При этом ток может переключаться несколько раз, в зависимости от уровней смещения во входных эмиттерных повторителях.

Для понимания хода характеристик необходимо разобраться, в каком состоянии (открытом или закрытом) находятся входные и выходные транзисторы схемы, после чего ход характеристик легко можно понять на основании закона Ома.

**Лабораторная работа №2**

**Тема: Исследование двоичного сумматора**

**Цель работы**:изучение структуры и работы суммирующих и вычитающих двоичных счетчиков.

Основные сведения

Счетчики - устройство предназначенное для счета числа импульсов, поступающих на его вход. Каждый счетный импульс изменяет состояние счетчика на единицу. Если при счете коды состояния расположены в возрастающем порядке, то счетчик называется суммирующем, если в убывающем порядке - вычитающим. Счетчики у которых направ-ление счета может изменяться называются реверсивными.

Число разрешенных состояний счетчика называется модулем счета Кс. При поступлении на счетчик числа импульсов больше Кс счетчик возвращается в исходное состояние. Счетчики у которых модуля счета равен целой степени числа 2 (Кс = 2n) называются двоичными.

Основу счетчиков составляют триггерные схемы. Счетчики могут быть собраны на *D*-триггерах или *JK*-триггерах. Триггеры соединяются последовательно. Число, образуемое состоянием инверсных выходов триггеров счетчика, связано с числом, образованном состоянием прямых выходов триггеров соотношением:

*N*пр= 2n – *N*инв–1,

где *n* – число разрядов счетчика.

По способу организации межразрядных связей счетчики делятся на:

Асинхронные счетчики, в которых переключение триггеров в раз-рядах осуществляется последовательно один за другим;

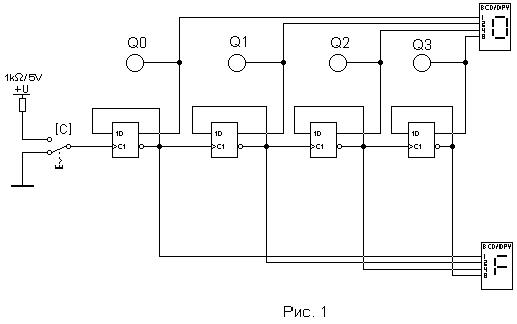
Синхронные счетчики, в которых переключение триггеров в разря-дах осуществляется одновременно по сигналу синхронизации.

Основным динамическим параметром, определяющим быстродей-ствие счетчика, является время установления выходного кода tk, харак-теризующее временной интервал между моментом подачи входного сиг-нала и моментом установления нового кода на выходе.

Экспериментальная часть

1. **Исследование асинхронного суммирующего счетчика на *D*-триггерах**.

а. Соберите схему приведенную на рис. 1. Включите схему.



б. Подавайте на вход схемы тактовые импульсы при помощи ключа [*С*].

в. Наблюдая за состоянием логических пробников, составьте временные диаграммы работы счетчика и таблицу состояний.

г. Определите модуль счета счетчика. Определите соответствие между кодами, образуемыми на прямых и инверсных выходах счетчика.

д. С помощью осциллографа определите время установления кода в счетчике. Время установления определять по моменту переключения последнего триггера.

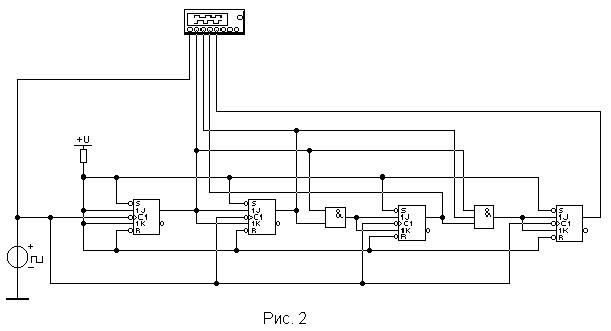
1. **Исследование синхронного суммирующего счетчика на *JK*-триггерах**.

а. Соберите схему приведенную на рис. 2. Включите схему.

б. Зарисуйте временные диаграммы работы счетчика. Определите направление смены кодов на прямых выходах счетчика и Кс.

в. Входы логического анализатора подключите к инверсным входам триггеров. Включите схему. Зарисуйте временные диаграммы работы счетчика. Определите направление смены кодов на инверсных выходах счетчика и Кс. Составьте таблицу состояний.

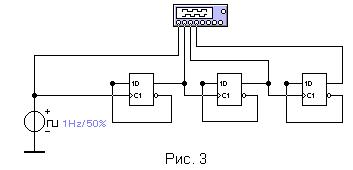
д. С помощью осциллографа определите время установления кода в счетчике.

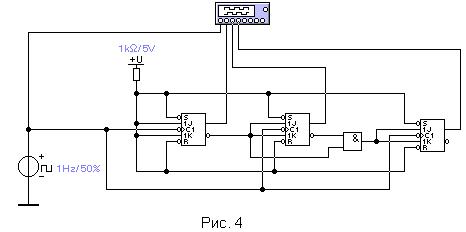


1. **Исследование вычитающего счетчика на *D*–триггерах**.

а. Соберите схему приведенную на рис. 3. Включите схему.

б. Зарисуйте временные диаграммы работы счетчика. Определите направление смены кодов на прямых выходах счетчика и Кс. Составьте таблицу состояний.

в. Входы логического анализатора подключите к инверсным входам триггеров. Включите схему. Зарисуйте временные диаграммы работы счетчика. Определите направление смены кодов на инверсных выходах счетчика и Кс. Составьте таблицу состояний.



1. **Исследование вычитающего счетчика на *JK*–триггерах**.

а. Соберите схему приведенную на рис. 4. Включите схему.

б. Зарисуйте временные диаграммы работы счетчика. Определите

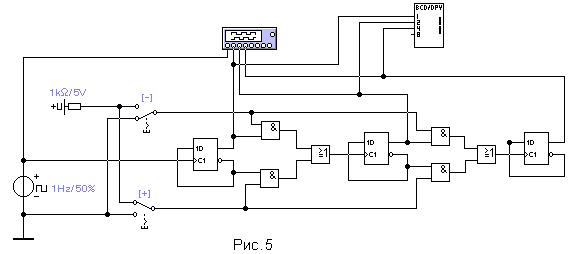
направление смены кодов на прямых выходах счетчика и Кс. Составьте таблицу состояний.

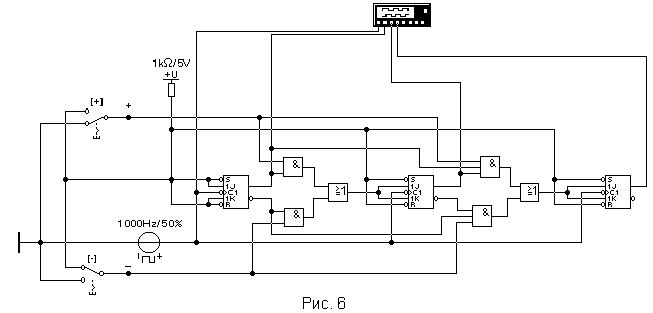
в. Входы логического анализатора подключите к инверсным входам триггеров. Включите схему. Зарисуйте временные диаграммы работы счетчика. Определите направление смены кодов на инверсных выходах счетчика. Составьте таблицу состояний.

**Исследование асинхронного реверсивного счетчика** а. Соберите схему приведенную на рис. 5. Включите схему.

б. Задайте направление счета с помощью переключателей [+] и [−]. в. Зарисуйте временные диаграммы работы счетчика. Определите

направление смены кодов на прямых выходах счетчика для обоих на-правлений счета и Кс. Составьте таблицу состояний.



6. . **Исследование синхронного реверсивного счетчика** а. Соберите схему приведенную на рис. 6. Включите схему.

6. Задайте направление счета с помощью переключателей [+] и [−]. в. Зарисуйте временные диаграммы работы счетчика. Определите направление смены кодов на прямых выходах счетчика для обоих направлений счета и Кс. Составьте таблицу состояний.

Содержание отчета

* схемы экспериментов
* таблицы состояний счетчиков
* временные диаграммы
* выводы по результатам экспериментов

Контрольные вопросы

1. Почему при подключении счетных входов триггеров к инверсным выходам предыдущих каскадов счетчик на D-триггерах работает как суммирующий, а при подключении к прямым - как вычитающий?
2. В каком режиме будет работать счетчик на «JK-триггерах при подключении счетных входов триггеров к прямым выходам предыдущих каскадов? Как изменится режим работы счетчика при подключении счетных входов триггеров к инверсным выходам?
3. Какими способами можно изменить коэффициент пересчета счетчика?
4. В двоичном асинхронном счетчике коэффициент пересчета равен 8, число триггеров - 3. Сколько триггеров в счетчике изменяют свое состояние одновременно при каждом изменении кода?. Как происходит переход счетчика из состояния 111 в состояние 000? Как развивается процесс изменения состояния триггеров?

**Лабораторная работа№3**

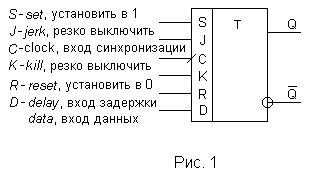
**Тема: Исследование триггера**

**Цель работы**:изучение схем триггеров на логических элементах.

Основные сведения

Триггера - это большой класс электронных устройств, обладающих способностью находиться в одном из двух устойчивых состояниях и чередовать их под воздействием внешних сигналов. Триггера это элементы с памятью. Их состояние зависит не только от сигналов приложенных

* входу в данный момент времени, но и от сигналов, воздействующих на него раньше.
  + общем виде триггер может содержать следующие входы и выходы:



Триггер имеет два выхода: прямой, обозначаемый *Q* и инверсный, обозначаемый как *Q* *.* Состояние триггера определяется по прямому выходу. Триггер находится в состоянии «1» если на прямом выходе уровень логической единицы и в состоянии «0» если на прямом выходе уровень логического нуля. Состояние выходов всегда противоположно: (*Q*=1 *Q* =0) и (*Q*=0 *Q* =1). Запрещенной комбинацией является *Q* =*Q* . В этом случае состояние триггера не определено.

В зависимости от свойств, числа и назначения входов триггеры делят на следующие виды:

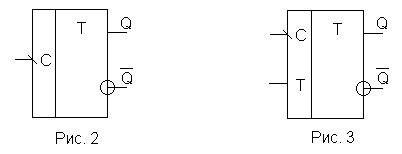
1. *RS*-триггеры с раздельной установкой в1и0.
2. *D*-триггеры(другие названия-триггер задержки,триггер данных)
3. Универсальные *JK*-триггера
4. *Т*-триггера(счетные триггеры)

При наличии входа С триггер называют синхронным, а при его отсутствии – асинхронным. Изменение состояния асинхронного триггера происходит сразу же после соответствующего изменения потенциалов на его информационных входах. В синхронном триггере изменение состояния может произойти только в присутствии соответствующего сигнала на входе *С*. Вход синхронизации может быть импульсным или потенциальным. В первом случае воздействие информационных входов проявляется только в момент изменения потенциала на входе *С*, т.е. при переходе его от 1 к 0 или от 0 к 1. Во втором случае воздействие информационных входов проявляется все время действия на входе *С* разрешающего (активного) потенциала.

Работа триггера определяется таблицей состояний.

Например, *Т*-триггер переключается из одного состояния в другое только по соответствующему фронту информационного сигнала на входе синхронизации (рис. 2). С приходом 1 на вход *Т*, триггер меняет свое состояние на противоположное. Кроме того, *Т*-триггер может иметь один управляющий вход – *Т*-вход (рис. 3). Сигнал на этом входе разрешает (если *Т*= 1) или запрещает (если *Т*=0) срабатывание триггера от фронтов импульсов, приходящих на тактовый вход.

Для Т-триггера на рис. 2 таблица состояний имеет вид:



|  |  |  |
| --- | --- | --- |
| ***С*** | ***Q*** | **Примеч.** |
|  |  |  |
| 1 | 0 | Хранение |
|  |  |  |
|  | 1 | Инверсия |
|  |  |  |
| 0 | 1 | Хранение |
|  |  |  |
|  | 1 | Хранение |
|  |  |  |
|  | 0 | Инверсия |
|  |  |  |
| 0 | 0 | Хранение |
|  |  |  |

Для Т-триггера на рис. 3 таблица состояний имеет вид:

|  |  |  |  |
| --- | --- | --- | --- |
| ***Т*** | ***С*** | ***Q*** | **Примеч.** |
|  |  |  |  |
| 0 | \* | 0 | Хранение |
|  |  |  |  |
| 1 |  | 1 | Инверсия |
|  |  |  |  |
| 1 | 0 | 1 | Хранение |
|  |  |  |  |
| 1 |  | 1 | Хранение |
|  |  |  |  |
| 1 |  | 0 | Инверсия |
|  |  |  |  |
| 1 | 0 | 0 | Хранение |
|  |  |  |  |



Примечание: \* - безразличное состояние входа

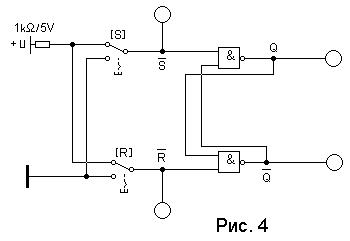
Экспериментальная часть

1. **Исследование *RS*-триггера на элементах И-НЕ**.

а) Соберите схему, изображенною на рис. 4. Включите схему. Последо-вательно подайте на схему следующие сигналы:

*S*=1, *R*=0;

*S*=1, *R*=1;



*S*=0, *R*=1;

*S*=1, *R*=1;

*S*=0, *R*=0.

Убедитесь в том, что:

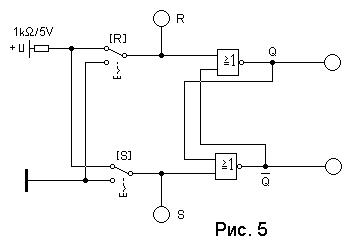
* при *S*=1, *R*=0 триггер устанавливается в состояние, при котором вы-ход *Q*=0;
* при переходе к *S=К*=1 триггер сохраняет прежнее значение выхода

*Q*=0;

* при *S*=0, *R*=1, триггер устанавливается в состояние, при котором *Q*=1;
* при переходе к *S*=1, *R*=1 прежнее значение выхода *Q*=1 сохраняется. б.) По результатам эксперимента заполните таблицу состояний.

1. **Исследование *RS*-триггера на элементах ИЛИ-НЕ**.

а Соберите схему, изображенною на рис. 5. Включите схему.



Последовательно подайте на схему следующие сигналы:

*S*=0, *R*=1;

*S*=0, *R*=0;

*S*=1, *R*=0;

*S*=0, *R*=0;

*S*=1, *R*=1.

Убедитесь в том, что:

* при *S*=0, *R*=1 триггер устанавливается в состояние *Q*=0;
* при переходе к *S*=0, *R*=0 триггер сохраняет прежнее состояние выхода

(*Q*=0);

* при *S*=1, *R*=0 триггер устанавливается в состояние *Q*=1;
* при переходе к *S*=0, *R*=0 триггер сохраняет прежнее состояние выхода

*Q*=1.

б.) По результатам эксперимента заполните таблицу состояний.

**Исследование *JK*-триггера**.

а). Соберите схему, изображенною на рис.6. Включите схему. Убеди-тесь в том, что:

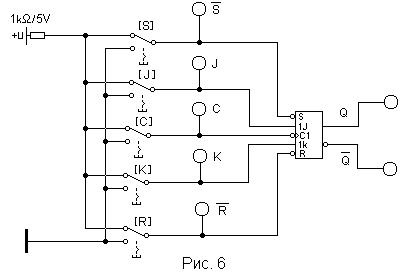
* при *R*=1, *S*=0 триггер устанавливается в *Q*=1 независимо от состояния остальных входов;
* при *R*=0, *S*=1 триггер устанавливается в *Q*=0 независимо от состояния остальных входов.
* укажите какому *RS*-триггеру соответствует таблица состояний *JK*-триггера для *RS*-входов.

б. Установите *S=R*=1 и составьте таблицу состояний для входов *J, K* и *С*.

**Указание**:начальное состояние триггера*Q*=1установить кратковре-менной подачей сигнала *S*=0 и сигнала *R* = 0 для получения *Q*=0. Пе-реход триггера в состояние, определяемом входами *J* и *K* происходит только по отрицательному фронту импульса на счетном входе *С*, сформированном соответствующим ключом.

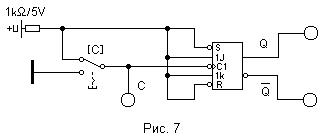
в.) Составьте и зарисуйте временные диаграммы работы триггера для

всех возможных комбинаций *Q, J, K*.

****

1. **Исследование *JK*-триггера в счетном режиме.**

а. Соберите схему, изображенную на рис. 7. Включите схему. Изменяя состояние входа [*С*] соответствующим ключом, зарисуйте диаграммы работы триггера в счетном режиме.

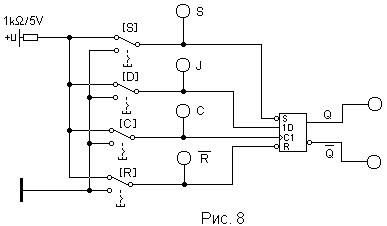


1. **Исследование *D*-триггера**

а). Соберите схему, изображенную на рис. 8. Включите схему. Убедитесь в том, что:

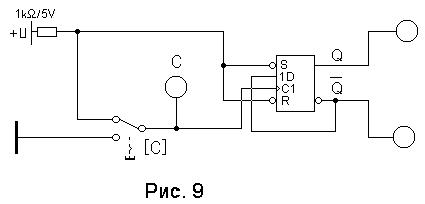
* при *R*=1, *S*=0 триггер устанавливается в *Q*=1 независимо от состояния остальных входов;
* при *R*=0, *S*=1 триггер устанавливается в *Q*=0 независимо от состояния остальных входов.

б). Установите *S=R*=1, составьте таблицу состояний для входов *D* и *С*. в). Составьте временные диаграммы работы триггера для всех возможных комбинаций *Q, D, C*.



**Исследование работы *D*-триггера в счетном режиме.**

а. Соберите схему, изображенную на рис. 9. Подавая на счетный вход *С* тактовые импульсы с помощью ключа [*С*] и определяя состояние выходов триггера при помощи пробников, составьте и зарисуйте временные диа-граммы работы триггера в счетном режиме.



Содержание отчета

Отчет по лабораторной работе должен содержать:

* схемы экспериментов
* таблицы состояний триггеров
* временные диаграммы
* выводы по результатам экспериментов

Контрольные вопросы

* + - 1. Является ли элементом памяти выключатель настольной лампы?
    1. Если продолжить предыдущий вопрос, то как можно охарактеризо-вать:

а) кнопочный выключатель (один раз нажал - лампа горит; второй раз нажал - лампа погасла);

б) клавишный переключатель-коромысло: нажал на одно плечо - лампа зажглась или продолжает оставаться горящей; нажал на другое плечо - погасла. Аналогия с какими видами триггеров напрашивается?

* + 1. Чем отличается работа *RS* - триггера с прямыми входами от рабо-ты RS - триггера с инверсными входами?
  1. Почему комбинация сигналов 11 на входах *RS*-триггера называется «запрещенной»?
  2. В чём принципиальное отличие работы синхронных триггеров от асинхронных?
  3. Какова приоритетность информационных и установочных входов в синхронных триггерах?
  4. Почему *JK*-триггер при *J=К*=1 не превращается в автогенератор?
  5. Почему *Т*-триггер получил название счетного? Какое число импуль-сов он может сосчитать?
  6. Как работает *D*-триггер, если *D =Q*?

**Лабораторная работа№4.**

**Тема: Исследование регистров**

**Цель работы**:изучение структуры и работы регистров.

Основные сведения

Регистром называется устройство, предназначенное для записи, хранения и ⁄ или сдвига информации, представленной в виде многоразрядного кода. Число может быть представлено в любой двоично-кодированной системе счисления: двоичной, двоично-десятичной, восьмеричной и т.д. регистр состоит из набора триггеров. Каждый триггер предназначен для хранения определенных разрядов двоичного кода.

По способу приема информации регистры делят на:

*параллельные* (статические),в которых информация записывается

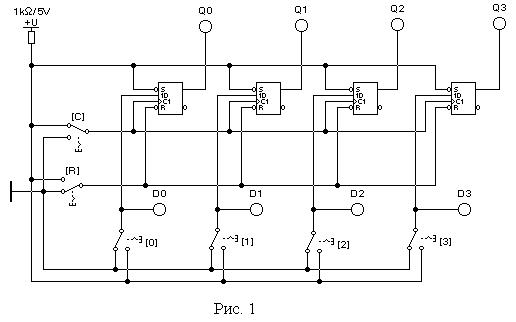
и считывается только в параллельной форме;

*последовательные* (сдвигающие),в которых информация записывается и считывается только в последовательной форме; *последовательно-параллельные*,в которых информация записывается и считывается как в параллельной, так и в последовательной формах.

Экспериментальная часть

1. **Исследование параллельного регистра.**

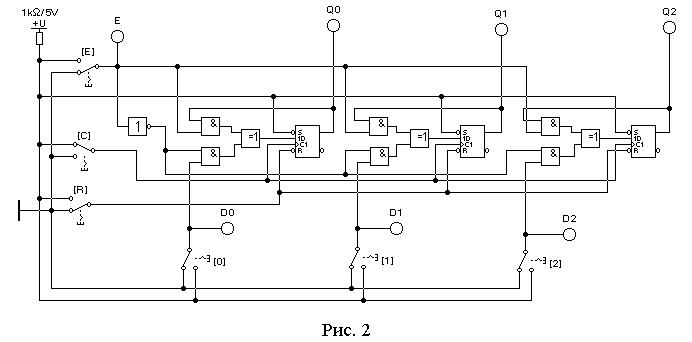
а. Соберите схему, приведенную на рис.1. Включите схему.



б. С помощью переключателя [*R*] установите регистр в исходное состояние (запись нулевого кода).

в. С помощью переключателей [*S*0...*S*3] последовательно набери-те коды, представленные в таблице и, с помощью переключателя [*C*], запишите их в регистр.

г. Составьте таблицу состояния регистра.



**Исследование параллельного регистра с блокировкой записи.**

а. Соберите схему, приведенную на рис.2. Включите схему.

б. Установите переключатель [*E*] (разрешение записи) в состояние Е=1

в. Выполните п.п. б...г задания 1. Убедитесь, что регистр находится

* режиме хранения кода (запись кода в регистр не разрешена). г. Установите переключатель [*E*] в состояние Е = 0.

д. Выполните п.п. б...г задания 1. Убедитесь, что регистр находится

* режиме записи кода.

1. **Исследование последовательного регистра**
2. Таблица

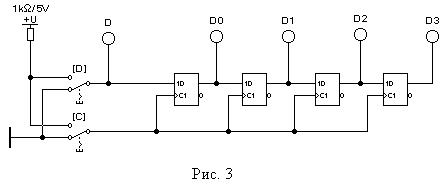
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *№* | *S0* | *S1* | *S2* | *S3* |
| 1 | 1 | 0 | 0 | 0 |
| 2 | 1 | 0 | 1 | 0 |
| 3 | 0 | 1 | 1 | 0 |
| 4 | 0 | 0 | 0 | 1 |
| 5 | 1 | 1 | 1 | 1 |

а. Соберите схему, приведенную на рис.3. Включите схему.

б. установите регистр в исходное состояние (запись нулевого кода)

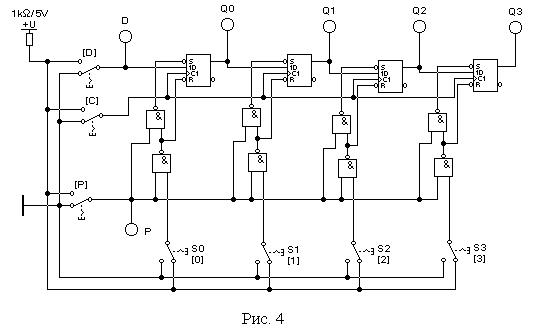
в. С помощью переключателей [*C*] и [*D*] последовательно записать в регистр коды, представленные в таблице.

г. Составьте таблицу состояния регистра.



1. **Исследование параллельно-последовательного регистра**

а. Соберите схему, приведенную на рис.4. Включите схему.



б. Установите переключатель [*P*] (последовательное / параллель-ное занесение) в состояние *P* = 0 (последовательная запись).

в. С помощью переключателей [*V*] и [*C*] последовательно занесите

* регистр коды из таблицы (задание 1). Составьте таблицу состояний регистра.

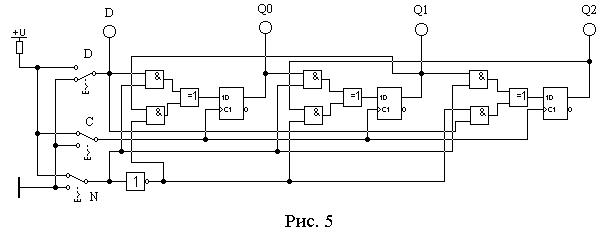
г. Наберите коды из таблицы на входах параллельной записи с по-мощью переключателей *S*0...*S*3. Объясните, почему входы параллель-ной записи не оказывают влияния на код, хранимый в регистре.

д. Установите переключатель [*P*] в состояние *P* = 1.

е. С помощью переключателей [*S*0...*S*3] последовательно наберите коды, представленные в таблице и, с помощью переключателя [*C*], за-пишите их в регистр. Составьте таблицу состояний регистра. Объясните, почему вход последовательной записи не оказывает влияния на код, хранимый в регистре.

1. **Исследование реверсивного регистра**

а. Соберите схему, приведенную на рис.5. Включите схему.



6. Установите переключатель [*N*] (направление сдвига) в состояние *N* = 0.

в. С помощью переключателей [*D*] и [*C*] последовательно занесите в регистр коды из таблицы (задание 1).

г. Составьте таблицу состояний регистра. Определите направле-ние сдвига.

д. Установите переключатель [*N*] в состояние *N* = 1.

е. Выполните п.п. в и г.

Содержание отчета

* схемы экспериментов
* таблицы состояний счетчиков
* временные диаграммы
* выводы по результатам экспериментов

Контрольные вопросы

1. Каково назначение регистров?
2. Чем ограничено число разрядов числа, записываемого в регистр?
3. Предложите схему параллельного регистра на *JK*-триггерах.
4. Предложите схему последовательного регистра на *JK*-триггерах.
5. Почему сдвиг информации по каждому синхроимпульсу проис-ходит только на один разряд?

**Лабораторная работа№5.**

**Тема: Исследование дешифратора и счетчиков**

**Цель работы**: Экспериментальное исследование принципов построения и функционирования дешифратора, запись аналитических выражений.

**Оборудование**: ПК с учебной программой Microcap 7,0.

**Лабораторное задание:**

1. Собрать схему четырёхразрядного дешифратора двоичного кода на элементах Шеффера (И - НЕ).

2. Составить таблицу истинности (выделить свое число).

3. Составить аналитическое выражение, описывающее дешифратор.

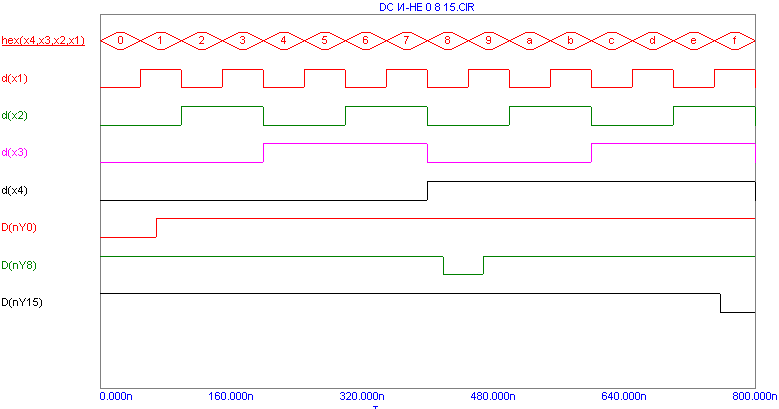
4. Отобразить временные диаграммы дешифратора.

5. Составить отчёт по работе.

**Основные теоретические сведения.**

**Порядок выполнения работы**

Запустить программу моделирования Micro Cap 7.

Собрать схему четырехразрядного дешифратора двоичного кода на элементах Шеффера (И-НЕ) (Откройте файл DC И-НЕ 0 8 15.cir)

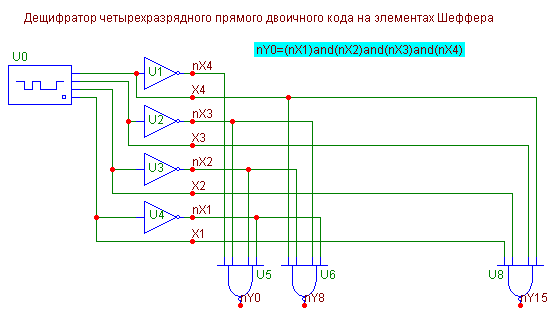


Рис. 45 Рис. 46

Дешифратор имеет N входов и 2N выходов. При поступлении на вход N-разрядного двоичного числа может быть активен только один выход соответствующий этому числу.

Для примера изучить принцип построения дешифратора и запись его аналитического выражения для числа 8 (двоичная запись числа 1000). Аналитическое выражение для выхода дешифратора nY0=(nX3)and(nX2)and(nX1)and(nX0).

Изменить схему для получения дешифратора соответствующего варианту по последней цифре в номере студенческого билета.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Последняя цифра в номере | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
| Вариант | A | 1 | 2 | 3 | 4 | 5 | 6 | 7 | C | 9 |

Запустить моделирование Analisis.... Transient.... Ran.

Зарисовать полученные ВД. Записать аналитическое выражение. Составить таблицу истинности.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | Выходы (инверсные) | | | | | | | | | | | | | | | |
| X3 | X2 | X1 | X0 | Y15 | Y14 | Y13 | Y12 | Y11 | Y10 | Y9 | Y8 | Y7 | Y6 | Y5 | Y4 | Y3 | Y2 | Y1 | Y0 |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| И т.д. | | | | | | | | | | | | | | | | | | | |

**Контрольные вопросы**

**Содержание отчета**

3.1 Схемы дешифратора для схемы с тремя выходами: 0, вариант, 15 в соответствии с ЕСКД.

3.2 Таблица истинности (выделить свое число).

3.3 Аналитическое выражение, описывающее ваш дешифратор.

3.4 Временные диаграммы вашего дешифратора.

**Лабораторная работа №6,7**

**Тема: Исследование ЦАП, АЦП**

**Цель работы:** изучение принципов построения и алгоритмов аналого-цифровых преобразователей на основе микропроцессорной системы.

**Основные сведения**

Аналого-цифровые преобразователи (АЦП) представляет собой функционально законченный узел, однозначно преобразующий значение аналоговой величины в число заданного цифрового формата. АЦП широко применяются в измерительных системах и измерительно-вычислительных комплексах для согласования аналоговых источников сигналов с цифровыми устройствами обработки информации.

Существуют различные способы аналого-цифрового преобразования, согласно которым различают несколько типов АЦП, различающиеся по точности, быстродействию, помехозащищённости и сложности реализации. Наиболее широкое распространение получили АЦП следующих типов:

* с непосредственным кодированием;
* интегрирующие;
* с табличной обработкой данных.

Наиболее широкими возможностями обладают системы, базирующиеся на АЦП компенсационного типа, характерной особенностью которых является наличие уравновешивающей обратной связи. Типовая структура таких АЦП (рис. 9) содержит компаратор (К), осуществляющий сравнение преобразуемого напряжения Ux с сигналом обратной связи Uk, формирователь кода (ФК), на выходе которого формируется эквивалентный входному напряжению Ux р-разрядный цифровой код N и ЦАП, преобразующий код N в непрерывный сигнал Uk.

Процесс уравновешивания в компенсационных устройствах определяется величиной и знаком разности (Ux - Uk). В процессе уравновешивания ФК вырабатывает по определённому алгоритму последовательность цифровых кодов, которые преобразуются ЦАП в компенсирующий сигнал Uk. Процесс уравновешивания завершается при установлении равенства напряжений Ux и Uk с заданной погрешностью, при этом код на выходе ФК эквивалентен преобразуемой величине Ux. В дальнейшем речь пойдет только об уравновешивающих АЦП.



**Алгоритмы уравновешивания**

Существующие алгоритмы уравновешивания в АЦП и цифровых устройствах компенсационного типа можно разбить на три группы:

* развёртывающие;
* следящие;
* комбинированные.

Алгоритмы развёртывающего уравновешивания формируют компенсационную величину повторяющимися циклами. В каждом цикле компенсирующая величина изменяется по заранее заданной программе от некоторого начального значения, например от нуля, до нуля, до конечного значения. В настоящее время в аналого-цифровых устройствах наибольшее распространение получили алгоритмы развертывающего уравновешивания с линейным развёртыванием и с развёртыванием с неравномерными ступенями.

Линейное развёртывание имеет наиболее простую реализацию. Одним из его разновидностей является развёртывание с равномерными ступенями. Алгоритм с равномерно-ступенчатым развёртыванием называется также алгоритмом единичных приближений. Суть такого алгоритма заключается в сравнении измеряемого напряжения с образцовым напряжением ступенчатой формы, возрастающим с постоянным шагом квантования. Временная диаграмма изменения напряжений для схемы, реализующей такой алгоритм, приведена на рис. 10.



Ступенчато возрастающее напряжение формируется путём подачи на ЦАП двоичного кода, увеличивающегося от 0 до своего максимального значения. Увеличение кода на единицу приводит к изменению напряжения на выходе ЦАП на величину шага квантования. При достижении образцовым напряжением значения измеряемой величины компаратор вырабатывает сигнал, запрещающий изменение цифрового кода на входах ЦАП, который в этот момент времени является цифровым представлением измеряемого напряжения. Блок-схема алгоритма для программной реализации метода приведена на рис. 11. Следует отметить, что рассмотренный метод имеет большое время преобразования и поэтому в быстродействующих системах не применяется.



Существенное сокращение времени преобразования достигается развёртыванием компенсирующей величины с неравномерными ступенями. Наибольшее распространение на практике получили алгоритмы поразрядного уравновешивания, в которых величина ступеней выбирается в зависимости от веса разряда формируемого цифрового кода. Такие алгоритмы называются также алгоритмами последовательных приближений.

В АЦП, реализующих метод последовательного приближения, двоичный код меняется таким образом, чтобы обеспечить по возможности быстрое уравновешивание измеряемого напряжения напряжением, получаемым с выхода ЦАП. Временная диаграмма развёртывания с неравномерными ступенями приведена на рис. 12.



Рассмотрим подробнее работу алгоритма. Уравновешивание начинается со старшего разряда, в котором устанавливается единица, после чего производится сравнение измеряемого напряжения и напряжения на выходе ЦАП. Если уравновешивающее напряжение меньше измеряемого, то установленная в старшем разряде единица в дальнейшем сохраняется, а если больше – то единица сбрасывается, т. е. в дальнейшем в этом разряде будет сохраняться нуль. Далее таким же образом проверяются все остальные разряды, включая самый младший. Блок-схема алгоритма метода последовательных приближений (поразрядного уравновешивания) приведена на рис. 13.

Простейшим вариантом алгоритма следящего уравновешивания является уравновешивание с равномерной ступенчатой отработкой компенсирующей величины. АЦП, в которых реализуется такой алгоритм уравновешивания, представляют собой реализацию астатической следящей системы с промежуточным параметром N, представленным в цифровой форме. В исходном состоянии код N равен нулю и напряжение на выходе ЦАП Uk также равно нулю. Далее код начинает возрастать аналогично методу единичных приближений, что приводит к появлению сигнала обратной связи. Компаратор К осуществляет управление направлением счета так, что при Uх > Uk формирователь кода работает в режиме прямого счёта, а при Uх < Uk - в режиме обратного счёта. Процесс аналого-цифрового преобразования заканчивается при выравнивании напряжений Uх и Uk, при этом цифровой код N эквивалентен преобразуемой величине. С момента установления равенства напряжений Uk и Uх при ограниченной скорости изменения Uх АЦП переходит в следящий режим и код N в любой момент времени эквивалентен Uх с погрешностью, не превосходящей единицы младшего разряда. Режиму следящего уравновешивания предшествует режим начальной отработки до установления равенства напряжений Uх и Uk.

Алгоритм следящего уравновешивания в режиме слежения обеспечивает максимальную скорость уравновешивания по сравнению с АЦП, реализующими другие алгоритмы. Блок-схема алгоритма следящего уравновешивания приведена на рис. 14.

Надо отметить, что в реальных аналого-цифровых следящих системах могут возникать периодические колебания, приводящие к появлению неустойчивости цифрового кода в младших разрядах. Устранение таких колебаний достигается загрублением порога чувствительности или использованием компараторов с гистерезисной характеристикой. Однако такие способы устранения периодических колебаний приводят к дополнительному увеличению погрешности преобразования.





АЦП со следящим уравновешиванием целесообразно применять в тех случаях, когда необходимо непрерывное преобразование плавно меняющихся сигналов без скачкообразных изменений; в системах обегающего контроля без датирования измерительных отсчётов; в системах контроля отклонений параметров от заданных; для преобразования сигналов в условиях воздействия импульсных помех.

В отличие от АЦП следящего уравновешивания АЦП поразрядного уравновешивания являются принципиально устойчивыми и удобными для применения в многоканальных измерительных системах с датированием отсчётов, в системах, требующих синхронной работы отдельных устройств и др.

**Описание лабораторного стенда**

Модуль состоит из ППА КР580ВВ55А, узла цифроаналогового преобразователя и компаратора. Выводимый при помощи ППА байт данных индицируется на светодиодах HL1-HL8. Узел ЦАП включает в себя БИС ЦАП К572ПА1 и вспомогательные операционные усилители. Компаратор построен на операционном усилителе КР140УД8Б и сравнивает напряжение, снимаемое с выхода ЦАП, с измеряемым напряжением Uх. Выходной сигнал компаратора принимает значение логической «1» при выполнении условия Uх > Uцап и логического «0» при условии Uх < Uцап. Результат сравнения подаётся на разряд 4 порта C ППА и используется для управления процессом аналого-цифрового преобразования.

Модуль может служить для измерения мгновенного значения напряжения (с программной синхронизацией моментов измерений) в диапазоне от 0 до +3В. На основе этого модуля возможна программная реализация некоторых методов аналого-цифрового преобразования.

**ЗАДАНИЕ**

**1.** Произвести калибровку ЦАП. Определить Uвых. макс при входном коде 0FFH и Uвых.мин при входном коде 00Н.

**2.** Написать, ввести и выполнить программы для реализации вышеперечисленных алгоритмов реализации АЦП. Старт преобразования выполнить по нажатию на К1, вывод информации производить на светодиодный двоичный индикатор.

**3.** Написать программы для реализации вышеперечисленных методов реализации АЦП с выводом на семисегментный индикатор в динамическом режиме, используя подпрограмму динамической индикации. Номером варианта считать порядковый номер метода (по тексту).

**Лабораторная работа № 8**

**Составление программы управления системами малой автоматики на базе контроллера ЛОГО**

Приобретение практических навыков использования логического модуля LOGO! при реализации схем автоматизации в системах управления технологическими процессами.

2. Общие положения

В настоящее время для решения простейших задач автоматизации в области бытовой техники, машино - и приборостроении еще очень часто используются традиционные реле и контакторы. «Департамент техники автоматизации» фирмы SIEMENS AG разработал новый класс устройств – класс логических модулей.

Компактные модули LOGO!” просты в эксплуатации и обслуживании и рентабельны даже в том случае, если вы используете небольшое их количество. В **простейший** логический модуль были встроены 6 цифровых входов и 4 цифровых выхода, элементы индикации и обслуживания, блок питания на 24 В постоянного тока или 115 В или 230 В переменного тока, а также 14 самых распространенных на практике логических функции. Эти 14 функций подразделяются на 6 базовых функций (AND, OR, NOT, NAND, NOR, XOR) и 8 специальных функций (задержка включения и выключения, импульсное реле, выключатель с часовым механизмом, реле с самоблокировкой, тактовый генератор, задержка включения с памятью, а также прямой и реверсивный счетчики).

LOGO!” объединяет эти разнообразные функции в одном устройстве. Это позволяет сократить до минимума затраты на электрический монтаж. Вместо того, чтобы соединять друг с другом отдельные устройства (например, такие как вспомогательные контакторы, реле или счетчики) множеством проводов, нужные Вам логические функции, а также взаимосвязи между ними просто программируются в одном единственном логическом модуле.

Создаваемые схемы управления можно в любой момент быстро и легко изменить. Для этого не нужны дополнительные затраты на электрический монтаж.

Если некоторая программа управления используется многократно, она может быть скопирована на специальный съемный модуль памяти и перенесена в другой логический модуль.

В настоящее время LOGO! включает в себя (рис.2.1):

• функции управления;

• блок управления и отображения;

• блок питания;

• интерфейс для программных модулей и кабеля PC;

• готовые к использованию функции, часто требуемые в повседневной работе, например, функции задержки включения и выключения и импульсное реле;

• часовой выключатель;

• двоичные маркеры;

• входы и выходы в соответствии с типом устройства.

**1** Клеммы питания

**2** Клеммы входов

**3** PC-/Modul-разъём

**4** Клавиатура

**5**  Индикатор

**6** Клеммы выходов

**7** Монтаж на 35 mm DIN-шину

путём защёлкивания

***8*** ДополнительныйlAS-интерфейс для длинного варианта

7



1

2

3

4

5

6

7

*8*

*Рис.2.1.* Вид LOGO!

LOGO! можно использовать для решения различных простейших технических задач, в том числе в электрооборудовании жилых помещений (например, освещение лестничных клеток, внешнее освещение, тенты, жалюзи, освещение витрин магазинов и т.д.), в коммутационных шкафах, в управлении машинами и аппаратами (например, системы управления воротами, вентиляционные системы или насосы для откачки дождевой воды и т.д.).

LOGO! можно использовать также для специальных систем управления в оранжереях и теплицах, для подготовки сигналов в системах управления и т.д.

Имеются модели LOGO! на 12 и 24 В постоянного тока, 24 и 230 В переменного тока в виде:

• стандартного варианта с 6 входами и 4 выходами с размерами 72 x 90 x 55 мм;

• варианта без дисплея с 6 входами и 4 выходами с размерами 72 x 90 x 55 мм;

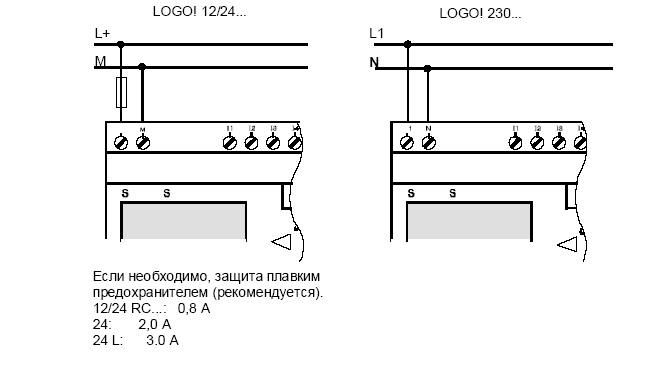
• варианта с 8 входами и 4 выходами с размерами 72 x 90 x 55 мм;

• удлиненного варианта с 12 входами и 8 выходами с размерами 126 x 90 x 55 мм;

• шинного варианта с 12 входами и 8 выходами и дополнительным соединением с шиной интерфейса AS, через которое доступны еще 4 входа и 4 выхода в магистральной системе. Все это упаковано в размеры 126 x 90 x 55 мм.

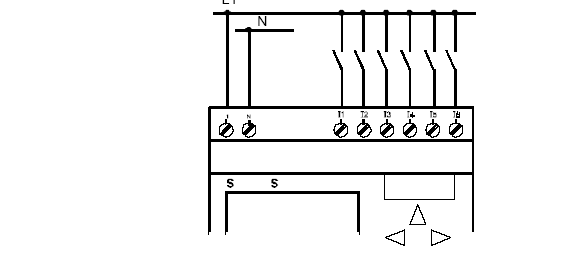
Все варианты содержат 29 готовых к использованию основных и специальных функций для создания программ.

ПодключениеLOGO! к напряжению питания осуществляется как на рис.2.2.



*Рис.2.2.* Схема подключения напряжения

Подключения датчиков к LOGO! осуществляется как на рис.2.3.



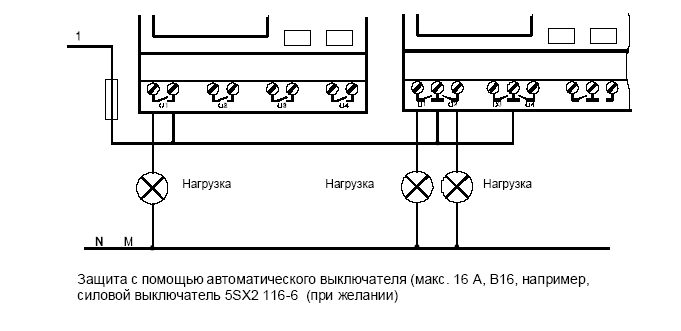
*Рис.2.3.* Подключение датчиков к LOGO! 230 ... (стандартный вариант)

Выходами **LOGO! ...R**... являются реле. Контакты реле изолированы от источника питания и входов. К выходам можно подключать различные нагрузки, например, лампы, в том числе люминесцентные, двигатели, контакторы и т.д. Нагрузки, подключенные к LOGO! ...R..., должны иметь следующие свойства:

• Максимальный переключаемый ток зависит от типа нагрузки и количества операций. Дополнительную информацию об этом вы найдете в технических данных;

• При включенном выходе (Q = 1) максимальный ток равен 10 амперам (8 A при 230 В переменного тока) для неиндуктивной нагрузки и 3 ампера (2 A при 12/24 В перем. /пост. тока ) для индуктивной нагрузки.

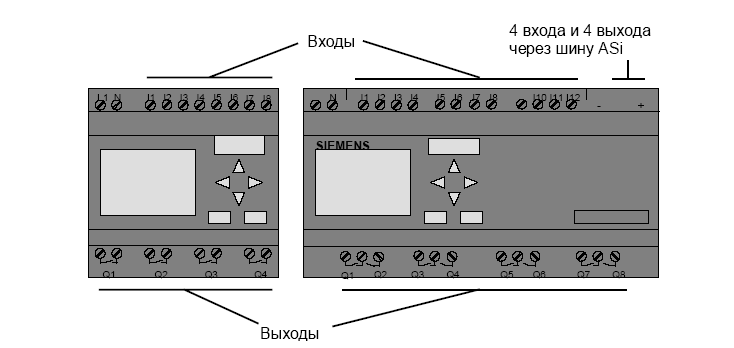
Подключения нагрузки к вариантам **LOGO! ...R**...осуществляется как на рис.2.4.



*Рис.2.4.* подключение нагрузки к выходам LOGO! ...R

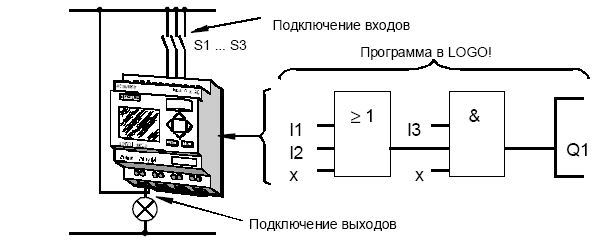
2.1. Программирование LOGO!

Под программированием мы подразумеваем ввод схемы. Программа LOGO! является на самом деле коммутационной схемой, представленной другим способом. Каждый вход обозначается буквой I и номером. Каждый выход обозначается буквой Q и номером. Соединительные клеммы для выходов видны на рис. 2.5 снизу.



*Рис.2.5*. Представление входов и выходов LOGO!

Реализация схемы с помощью LOGO!

В LOGO! схема создается соединением друг с другом блоков и соединительных элементов (рис.2.6):

*Рис.2.6.* Представление схемы в LOGO!

Для реализации схемы в LOGO! начните с выхода схемы. Выходом является нагрузка или реле, которым предполагается управлять.

2.2. Функции LOGO!

LOGO! в режиме программирования предлагает вам ряд элементов. Все элементы разделены на **списки**. Этими списками являются:

• **±Co**: список соединительных элементов;

• **±BF:** список базовых функций;

• **±SF:** список специальных функций;

• **±BN**: список завершенных и повторно используемых блоков в схеме.

**Входы**

Входы обозначаются буквой **I**. Номера входов (I1, I2, ...) соответствуют номерам входных клемм на LOGO!.

**Аналоговые входы**

Модели LOGO! 24, LOGO! 12/24RC и LOGO! 12/24RCo включают входы I7 и I8, которые могут быть также использованы как AI1 и AI2, в зависимости от того, как они запрограммированы. Если эти входы используются как I7 и I8, то приложенный к ним сигнал интерпретируется как цифровая величина. Если они используются как AI1 и AI2, то сигналы интерпретируется как аналоговые величины.

**Входы ASi**

Входы Ia1 −Ia4 доступны также для связи через шину ASi в вариантах LOGO! с подключением к интерфейсу AS (LOGO!...B11).

**Выходы**

Выходы обозначаются буквой **Q**. Номера выходов (Q1, Q2, ...) соответствуют номерам выходных клемм на LOGO!. Выходы Qa1– Qa4 доступны также для связи через шину ASi в вариантах LOGO! с подключением к интерфейсу (LOGO!...B11).

**Маркеры**

Маркеры обозначаются буквой **M**. Маркеры – это виртуальные выходы, которые имеют на своем выходе такое же значение, как и на своем входе. В LOGO! имеется 8 маркеров памяти (M1 ... M8). Используя маркеры памяти, вы можете превысить максимальное количество последовательных блоков.

**Флаги запуска**

Маркер памяти **M8** устанавливается в первом цикле работы программы пользователя и, следовательно, может использоваться в вашей программе как флаг запуска. Он автоматически сбрасывается после первого цикла обработки программы. Маркер памяти **M8** может во всех последующих циклах использоваться таким же образом, как и маркеры памяти М1 – М7.

*Примечание*. Сигнал, приложенный к выходу маркера, всегда является сигналом последнего цикла обработки программы. Внутри цикла обработки программы этот сигнал не изменяется.

**Уровни**

Уровни напряжения обозначаются **hi** и **lo**. Если предполагается, что блок постоянно имеет состояние «1» = hi или «0» = lo, то входу присваивается фиксированный уровень или постоянное значение hi или lo.

**Открытые соединительные элементы**

Если соединительный элемент блока не должен подключаться, то это обозначается символом **x**.

Размер коммутационной программы в LOGO! ограничен объемом памяти (местом в памяти, занимаемым блоками). Для своей программы в LOGO! вы можете использовать лишь ограниченное количество блоков.

Сохраняемая память (**Rem**) – это область, в которой LOGO! хранит фактические значения, которые должны быть сохранены, напр., значение счетчика рабочего времени. В блоках с необязательным использованием функции сохранения эта область памяти используется только в том случае, если свойство сохранения активизировано.

Максимальный объем ресурсов, который может быть занят коммутационной программой в LOGO!:

**Байты Блоки REM**

**2000 130 60**

LOGO! контролирует использование памяти и предлагает в списках функций только те функции, для которых в данный момент еще имеется в распоряжении достаточное количество памяти.

Программным средством для программирования LOGO! является программный пакет **LOGO!Soft Comfort**, позволяющий создавать, тестировать, изменять, сохранять и распечатывать программы управления.

2.3. Список базовых функций – **BF**

Базовые функции – это простые логические элементы булевой алгебры.

При вводе схемы вы найдете блоки для базовых функций в списке **BF**. Существуют следующие базовые функции (табл. 1):

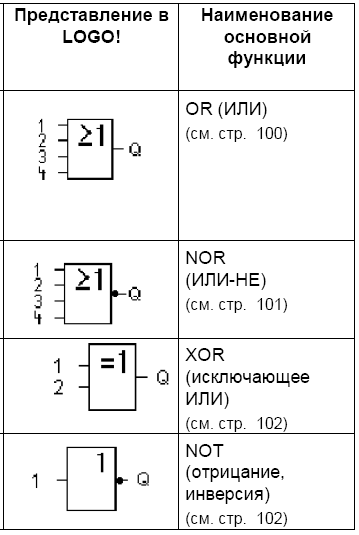
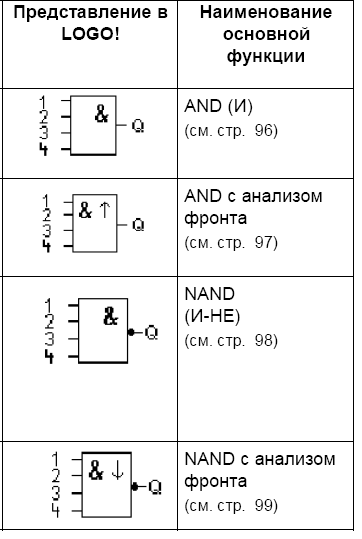


Таблица 1. Базовые функции LOGO!

2.3.1. Функция **И**

Выход И принимает состояние 1 только тогда, когда все входы имеют состояние 1 (т.е. они замкнуты). Если какой-либо вход этого блока не подключен (x), то к этому входу прикладывается: x = 1.

2.3.2. Функция **И с обнаружением фронта** результата логической операции (**RLO**)

Выход функции И с обнаружением фронта RLO принимает состояние 1 только тогда, когда все входы имеют состояние 1 и хотя бы один вход в предыдущем цикле имел состояние 0. Если какой-либо вход этого блока не подключен (x), то к этому входу прикладывается: x = 1.

2.3.3. Функция **И-НЕ**

Выход функции И-НЕ принимает состояние 0 только тогда, когда все входы имеют состояние 1 (т.е. они замкнуты). Если какой-либо вход этого блока не подключен (x), то к этому входу прикладывается: x = 1.

2.3.4. Функция **И-НЕ с обнаружением фронта** результата логической операции (RLO)

Выход функции И-НЕ с обнаружением фронта RLO принимает состояние 1 только тогда, когда хотя бы один вход имеет состояние 0, и все входы имели состояние 1 в предыдущем цикле. Если какой-либо вход этого блока не подключен (x), то к этому входу прикладывается: x = 1.

2.3.5. Функция **ИЛИ**

Выход функции ИЛИ принимает состояние 1, если хотя бы один вход имеет состояние 1 (т.е. замкнут). Если какой-либо вход этого блока не подключен (x), то к этому входу прикладывается: x = 0.

2.3.6. Функция **ИЛИ-НЕ**

Выход функции И-НЕ принимает состояние 1 только тогда, когда все входы имеют состояние 0 (т.е. они выключены). Как только любой из входов включается (состояние 1), выход И-НЕ устанавливается в 0. Если какой-либо вход этого блока не подключен (x), то к этому входу прикладывается: x = 0.

2.3.7. **Исключающее ИЛИ**

Выход исключающего ИЛИ принимает состояние 1, если входы имеют разные состояния. Если какой-либо вход этого блока не подключен (x), то к этому входу прикладывается: x = 0.

2.3.8. **НЕ** (отрицание, инверсия)

Выход принимает состояние 1, если вход имеет состояние 0. Иными словами, функция НЕ инвертирует состояние входа.

2.4. **Специальные функции**

Специальные функции включают в свой состав функции времени, обладают свойством сохраняемости и различными возможностями параметризации, чтобы приспособить программу к вашим индивидуальным требованиям.

**Соединительные входы**

Соединения, которые могут быть сделаны с другими блоками или с входами устройства LOGO!:

• **S (set = установить):**

Вход S дает вам возможность установить выход в «1»;

• **R (reset = сбросить):**

Вход сброса R имеет приоритет над всем остальными входами и переключает выходы в «0»;

• **Trg (trigger = запустить):**

Этот вход используется для запуска функции на выполнение;

• **Cnt (count = считать):**

Этот вход записывает счетные импульсы;

• **Fre (frequency = частота):**

К входу с этим описанием прикладываются частотные сигналы, подлежащие анализу;

• **Dir (direction = направление):**

Этот вход используется для установки, например, направления, в котором должен считать счетчик.

• **En (enable = разрешить):**

Этот вход разблокирует функцию, выполняемую блоком. Если на этом входе «0», то другие сигналы блоком игнорируются;

• **Inv (invert = инвертировать):**

Выходной сигнал блока инвертируется, когда этот вход активизирован;

• **Ral (reset all = сбросить все):**

Сбрасываются все внутренние значения.

**Параметрические входы**

Имеется несколько входов, к которым сигналы не прикладываются. Вместо этого вы параметризуете функциональный блок определенными значениями:

• **Par (parameter = параметр):**

Этот вход не подключается. Здесь для блока устанавливаются параметры;

• **T (time = время):**

Этот вход не подключается. Здесь для блока устанавливаются времена;

• **No (number = число):**

Этот вход не подключается. Здесь устанавливается база времени;

• **P (priority = приоритет):**

Этот вход не подключается. Здесь устанавливаются приоритеты.

2.5. **Список специальных функций – SF**

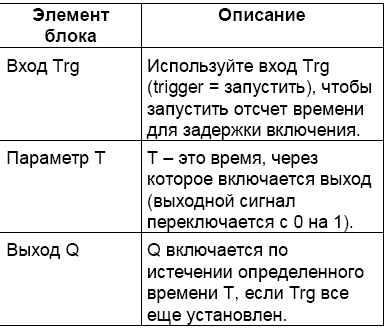
Блоки для специальных функций в LOGO! находятся в списке **SF (**табл. 2).

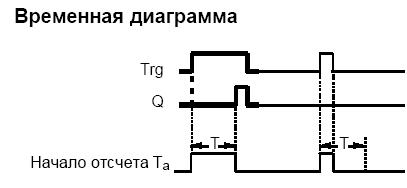
Таблица 2. Блоки специальных функций



**2.5.1. Задержка включения**

*Краткое описание.* При задержке включения выход не включается, пока не истечет определяемый период времени.

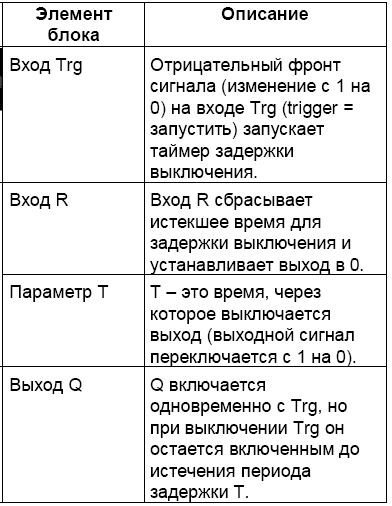




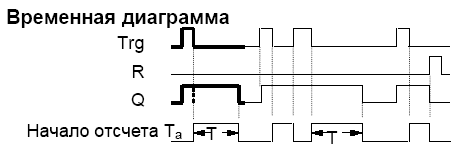
*Описание функции*. Когда состояние входа Trg меняется с 0 на 1, начинается отсчет времени Ta (Ta – это текущее время в LOGO!).

**2.5.2. Задержка выключения**

*Краткое описание*. При задержке выключения выход не сбрасывается, пока не истечет определяемый период времени.

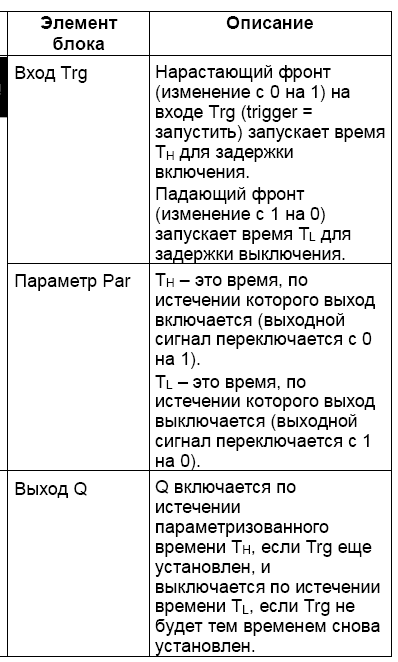


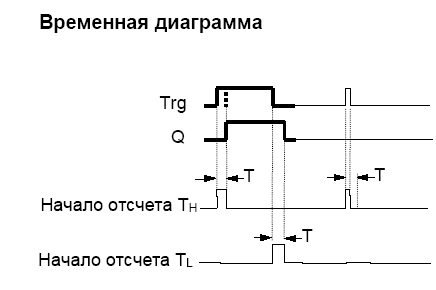
*Описание функции.* Когда состояние сигнала на входе Trg меняется на 1, выход Q переключается на 1 немедленно. Если состояние сигнала на входе Trg изменяется с 1 на 0, то в LOGO! запускается текущее время Ta, а выход остается установленным. Если Ta достигает значения, указанного через T (Ta=T), то выход Q сбрасывается в 0 (задержка выключения). Если вход Trg включается и выключается снова, то время Ta снова запускается. Вход R (сброс) сбрасывает время Ta и выход до того, как истечет установленная задержка времени Ta. При исчезновении питания истекшее время сбрасывается.



**2.5.3. Задержка включения и выключения**

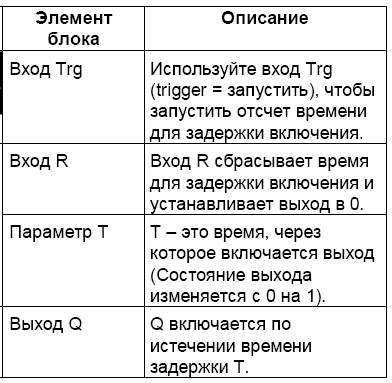
*Краткое описание*. При задержке включения и выключения выход включается через запрограммированное время и сбрасывается по истечении параметризуемого периода времени.



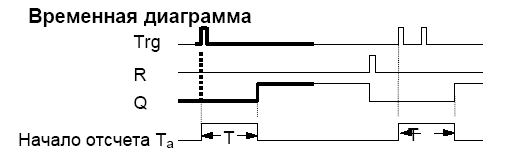
**

*Описание функции*. Когда состояние сигнала на входе Trg меняется с 0 на 1, начинается отсчет времени TH. Если состояние сигнала на входе Trg остается равным 1 по крайней мере в течение параметризованного интервала времени TH, то по истечении времени TH выход устанавливается в 1 (имеет место задержка между включением входа и появлением сигнала на выходе). Если состояние сигнала на входе Trg переключается обратно на 0 до истечения времени TH, то время сбрасывается. Когда состояние сигнала на входе меняется на 0 снова, начинается отсчет периода времени TL. Если состояние сигнала на входе Trg остается равным 0 по крайней мере в течение параметризованного интервала времени TL, то по истечении времени TL выход устанавливается в 0 (имеет место задержка между выключением входа и исчезновением сигнала на выходе). Если состояние сигнала на входе Trg переключается обратно на 1 до истечения времени TL, то время сбрасывается. При исчезновении питания истекшее время сбрасывается.

**2.5.4. Задержка включения с запоминанием**

*Краткое описание*. Вслед за входным импульсом начинается определяемый период времени, по истечении которого выход устанавливается.

*Описание функции*. Когда состояние сигнала на входе Trg меняется с 0 на 1, то начинается отсчет текущего времени Ta. Когда Ta достигает значения времени T, выход Q устанавливается в 1. Другая операция переключения на входе Trg не оказывает влияния на Ta. Выход и время Ta не сбрасываются в 0, пока состояние входа R не меняется снова на 1. При исчезновении питания истекшее время сбрасывается.



**Перечень рекомендуемых учебных изданий, Интернет-ресурсов, дополнительной литературы**

1. Партыка Т.Л. Попов И.И. Вычислительная техника. – М.: ФОРУМ: ИНФРА-М, 2007
2. Угрюмов Е. Цифровая схемотехника. – СПб.: БХВ- Петербург, 2004
3. Ю.Ф. Опадчий Аналоговая и цифровая электроника,- М.: Горячая линия- телеком,2003
4. Прохоров Н.Л. Управляющие вычислительные комплексы. М.: Финансы и статистика, 2003
5. Лачин В.И., Савельев Н.С. Электроника. – Ростов н/Д.: Феникс, 2005.
6. Гребенюк Е.И. Технические средства информатизации. М.: «Академия»,2003
7. Пряничников В.А. . Электроника: Курс лекций.- СПб.: Корона, 2000 г .
8. Москаленко В.В. Системы автоматизированного управления электроприводами. – М.: ИНФРА-М,2004.
9. Калабеков В.А. Цифровые устройства и микропроцессорные системы.- М.: Горячая линия –Телеком, 2002
10. Г Олсон. Д. Пиани Цифровые системы автоматизации и управления. – СПб.: Невский Диалект, 2001
11. Тарабрин Б.В. Справочник. Интегральные микросхемы. – М.: Радио и связь, 1984
12. Проектирование импульсных и цифровых устройств. Под ред. Казаринова Ю. М. – М., 1995
13. Ленк Д. 500 практических схем на популярных ИС. – М., 2001